

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267460

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 21/82  
G06F 15/60  
H01L 21/3205

(21)Application number : 04-063898

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1992

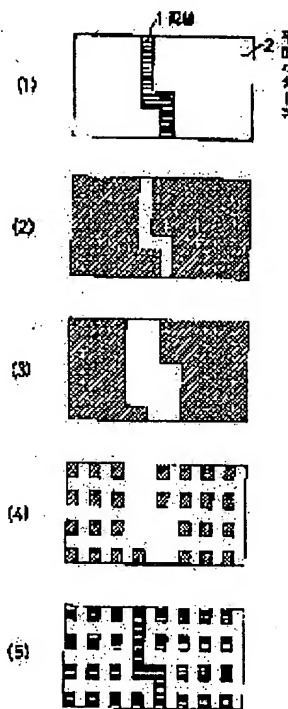
(72)Inventor : KITSUKAWA JUNICHI

## (54) METHOD OF GENERATING FLATTENED PATTERN TO WIRING LAYER

## (57)Abstract:

PURPOSE: To facilitate the flattening of a pattern by logically operating the output figure after inverting the plane pattern near wiring in the sense of a figure and besides, shrinking the figure inward when processing the wiring into multilayer so as to form a semiconductor integrated circuit.

CONSTITUTION: An original figure pattern consisting of wiring 1 and a plane pattern 2 near the wiring is prepared (1), and this original figure pattern is inverted in the sense of a figure (2), and also the section where the figure exists is contracted (3). The distance of this contraction is on the level of the minimum one out of the interval between wirings in the plane of a chip. Next, the repeat pattern of a simple pattern and the figure of (2) are ANDed to seek the figure of (4), and the figure of (5) is sought by performing the AND operation with the original pattern figure to the output of the figure of this (4). And, based on this pattern, a flattening pattern material is arranged in the vicinity of the wiring, thus the flattened pattern without irregularity between it and wiring is gotten.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-267460

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/60	3 7 0 D	7922-5L		
H 0 1 L 21/3205				
		9169-4M	H 0 1 L 21/ 82	W
		7735-4M	21/ 88	K
			審査請求 未請求 請求項の数1(全 4 頁)	

(21)出願番号 特願平4-63898

(22)出願日 平成4年(1992)3月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 橘川 淳一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 古谷 史旺 (外1名)

(54)【発明の名称】 配線層に対する平坦化パターンの発生方法

(57)【要約】

【目的】 本発明はLSIチップ内の配線層について多層化するとき平坦化パターンを簡易に発生する方法に関し、樹脂塗布を行わず、それ以前の処理としてCAD技術により平坦化パターンを求める方法を提供することを目的とする。

【構成】 配線の多層化処理を行って半導体集積回路を高集積化するため、下層配線層に対する平坦化パターンを発生する方法において、配線層平面図をCAD装置により、(イ)配線近傍の平面パターンを図形的に反転する処理と、(ロ) (イ)の出力図形を内側に縮める処理、(ハ)単純パターンの繰り返し模様と(ロ)の出力図形とを論理積演算する処理、(ニ) (ハ)の出力に対し原配線パターン図形とを論理和演算する処理の順序で処理することで構成する。

BEST AVAILABLE COPY

(2)

特開平5-267460

## 【特許請求の範囲】

【請求項1】 配線の多層化処理を行って半導体集積回路を高集積化するため、下層配線層に対する平坦化パターンを発生する方法において、配線層平面図をCAD装置により下記の順序で処理すること

- (イ) 配線近傍の平面パターンを図形的に反転する処理
  - (ロ) (イ) の出力図形を内側に縮める処理
  - (ハ) 単純パターンの繰り返し模様と(ロ) の出力図形とを論理積演算する処理
  - (ニ) (ハ) の出力に対し原配線パターン図形と論理和演算する処理
- を特徴とする配線層に対する平坦化パターンの発生方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はLSIチップ内の配線層について多層化するとき平坦化パターンを簡易に発生する方法に関する。

【0002】 LSIの高集積化は微細技術の進歩に依存し、チップ内の配線層は多層化された。下層の状況が上層に影響するため、下層を平坦化する必要があり、従来の平坦化技術は複雑なプロセスを必要とした。簡易な平坦化処理の技術を開発することが要望された。

## 【0003】

【従来の技術】 LSI乃至超LSIは高集積化された技術の結晶されたものであり、高密度化・高速動作化・汎用化することは、配線層を多層化して達成された。多層化は配線面積を実質的に減少させるから、基板上のチップ数の増大化が防止でき、一つのチップを見ると平均配線長を短くし、配線抵抗による動作速度の遅延を抑制し、CADによる自動配置配線を可能とした。

【0004】 多層配線構造の実現上必要なプロセス技術のうち、配線の平坦化技術および層間接続技術が重要である。層間絶縁膜には下層配線パターンにより生ずる凹凸が存在している。この凹凸は上層配線膜の形成時にステップカバレッジ不良を発生させ、配線の断線・不良が生ずる。そのため層間絶縁膜の表面を平坦化することは信頼性の高い多層配線を実現する上での必要条件である。

【0005】 平坦化技術としては従来陽極酸化法・樹脂塗布法・ガラスフロー法などが知られている。例えば樹脂塗布法は基板上酸化膜に設けた配線上に樹脂を直接塗布して、配線の両側における凹凸を小さくする処理である。

## 【0006】

【発明が解決しようとする課題】 樹脂塗布法は簡易ではあるが、種々の欠点がある。即ち、樹脂の粘性が問題となるアレアある。粘性を下げた樹脂も使用すれば、微細

均一に埋めることは出来ない。

【0007】 逆に粘性を上げた樹脂を使用すると、微細部分に十分に浸透しないから、十分な平坦化が達成出来ないこととなる。本発明の目的は前述の欠点を改善し、樹脂塗布法を行わず、その以前の処理としてCAD技術により平坦化パターンを求める方法を提供することにある。

## 【0008】

【課題を解決するための手段】 前述の目的を達成するため、本発明の採用した手段は下記のとおりである。即ち、配線の多層化処理を行って半導体集積回路を高集積化するため、下層配線層に対する平坦化パターンを発生する方法において、配線層平面図をCAD装置により、(イ) 配線近傍の平面パターンを図形的に反転する処理 (ロ) (イ) の出力図形を内側に縮める処理 (ハ) 単純パターンの繰り返し模様と(ロ) の出力図形とを論理積演算する処理 (ニ) (ハ) の出力に対し原配線パターン図形と論理和演算する処理の順序で処理することで構成する。

## 【0009】

【作用】 本発明においては、下層配線層パターンをCAD装置により設計するとき、下層配線図における配線の近傍に層間膜を形成する材料を配置し、配線を含め全体として平坦化パターンが得られるように処理する。

【0010】 そのため配線近傍の平面パターン全面を、まず図形的に反転処理する。次に上記反転処理した図形パターンについて配線との間隔を広げるように縮小処理を行う。

【0011】 次に単純パターンの繰り返し模様と、上記縮小処理した図形パターンとを論理積演算の処理をする。次に上記演算処理した図形パターンと、配線のためのパターン(原図形パターン)とを論理和演算処理する。

## 【0012】

【実施例】 図1は本発明の実施例として上記請求項1記載の単純パターンとして梨地模様を使用した時の図形処理パターンを示す図である。図1(1)は原図形パターンであって、1は配線、2は配線近傍の平面パターン(無地)を示す。

【0013】 図1(2)は請求項1記載の処理(イ)に示す処理で、図形的に反転したことを示す。次に図1(3)は請求項1記載の処理(ロ)に示す処理を行った後のパターンを示す図であって、図1(2)について図形のある部分を縮小している。図1(2)と比較し、この縮小する距離はチップ平面における配線間距離のうち最小のもの程度とする。

【0014】 次に図1(4)は請求項1記載の処理(ハ)に示す処理を行った後のパターンを示す図であって、図

(3)

特開平5-267460

【0015】次に図1(5)は請求項1記載の処理(二)に示す処理を行った後のパターンを示す図であって、図1(4)のパターンと図1(1)のパターンとを論理和演算処理を行うことで得られる。

【0016】このパターンに基づいて配線の近傍に平坦化パターン材を配置すれば、配線との間に凹凸がなく平坦化パターンが容易に得られる。図2は図1(5)により得られたパターンについて、配線と平坦化パターン材を配置した場合の上面図と横断面図である。図2(1)は図1(5)と同一パターンの図である。図2(1)において、1は配線、3-1, 3-2, ..., 3-11, 3-12は平坦化パターン材を示すから、図2(1)のA-B線に沿った断面図を作ると、図2(2)となる。即ち、配線1と比較し、平坦化パターン材3-11, 3-12はその高さが配線1と略等しいから、その後の処理において上層配線層を設けるとき、下層の凹凸が殆ど生じてない。

【0017】この実施例により、図1に示す処理を行なったため、図2に示すような配線と平坦化パターンが得られると、チップとして容量・抵抗の増加を抑えること、シリコンなどから成る基板層との接触面積が増加することによるストレスを減少させることが出来る。

【0018】また平坦化パターン材は電流が流れる必要がないため、使用材料として配線と同じアルミニウムのような金属材料を使うことは無く、他の安価な、または加工の容易な材料を使うことで良い。

【0019】図1(4)に示す論理演算を行う単純パターンとしては、梨地模様以外に、ストライプ状、格子状などの模様を使用することが可能である。更に、単純パターンとして、各図形が四角形状の地に配列される以外に、他の例えば三角形の地に配列されることも考えられる。

【0020】

【発明の効果】このようにして本発明によると、従来樹脂塗布法などで行っていた平坦化処理を、より以前にCAD装置により実行することが出来る。そしてウェーハ製造プロセスは実質的に変更することがないから、CAD装置におけるソフトウェア変更のコストを当初に負担すれば、以後のランニングコストは無視できるので、LSI製造工程において、微細化が容易で、且つコストの面で極めて有効である。

【図面の簡単な説明】

【図1】本発明のパターン処理の実施例を示す図である。

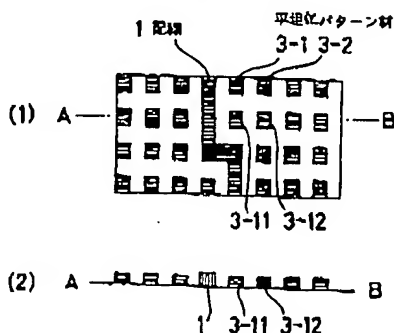
【図2】図1の処理を行って配線・平坦化パターン材を配置した図である。

【符号の説明】

- 1 配線
- 2 平面パターン（無地）
- 3-1, 3-2, ..., 3-11, 3-12 平坦化パターン材

【図2】

配線・平面化パターン材を配置した図



(4)

特開平5-267460

【図1】

パターン処理の例

